

特 許 協 力 条 約

PCT

特許性に関する国際予備報告（特許協力条約第二章）

（法第12条、法施行規則第56条）

〔PCT36条及びPCT規則70〕

REC'D 31 MAR 2005

WIPO

PCT

出願人又は代理人 の書類記号 P33110-P0	今後の手続きについては、様式PCT/IPEA/416を参照すること。		
国際出願番号 PCT/JP2004/004774	国際出願日 (日.月.年) 01.04.2004	優先日 (日.月.年) 01.04.2003	
国際特許分類 (IPC) Int. Cl ⁷ G09G5/377, G09G5/00, H04N5/45			
出願人 (氏名又は名称) 松下電器産業株式会社			

1. この報告書は、PCT35条に基づきこの国際予備審査機関で作成された国際予備審査報告である。 法施行規則第57条（PCT36条）の規定に従い送付する。	
2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。	
3. この報告には次の附属物件も添付されている。	
a	<input checked="" type="checkbox"/> 附属書類は全部で 8 ページである。
	<input checked="" type="checkbox"/> 補正されて、この報告の基礎とされた及び／又はこの国際予備審査機関が認めた訂正を含む明細書、請求の範囲及び／又は図面の用紙（PCT規則70.16及び実施細則第607号参照）
	<input type="checkbox"/> 第I欄4.及び補充欄に示したように、出願時における国際出願の開示の範囲を超えた補正を含むものとこの国際予備審査機関が認定した差替え用紙
b	<input type="checkbox"/> 電子媒体は全部で (電子媒体の種類、数を示す)。 配列表に関する補充欄に示すように、コンピュータ読み取り可能な形式による配列表又は配列表に関連するテーブルを含む。（実施細則第802号参照）
4. この国際予備審査報告は、次の内容を含む。	
<input checked="" type="checkbox"/>	第I欄 国際予備審査報告の基礎
<input type="checkbox"/>	第II欄 優先権
<input type="checkbox"/>	第III欄 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
<input type="checkbox"/>	第IV欄 発明の単一性の欠如
<input checked="" type="checkbox"/>	第V欄 PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
<input type="checkbox"/>	第VI欄 ある種の引用文献
<input type="checkbox"/>	第VII欄 国際出願の不備
<input type="checkbox"/>	第VIII欄 国際出願に対する意見

国際予備審査の請求書を受理した日 27.01.2005	国際予備審査報告を作成した日 16.03.2005		
名称及びあて先 日本国特許庁 (IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 後藤 亮治	2G	9610
電話番号 03-3581-1101 内線 3225			

様式PCT/IPEA/409 (表紙) (2004年1月)

第I欄 報告の基礎

1. この国際予備審査報告は、下記に示す場合を除くほか、国際出願の言語を基礎とした。

☐ この報告は、_____ 語による翻訳文を基礎とした。

それは、次の目的で提出された翻訳文の言語である。

- ☐ PCT規則12.3及び23.1(b)にいう国際調査
☐ PCT規則12.4にいう国際公開
☐ PCT規則55.2又は55.3にいう国際予備審査

2. この報告は下記の出願書類を基礎とした。(法第6条(PCT14条)の規定に基づく命令に応答するために提出された差替え用紙は、この報告において「出願時」とし、この報告に添付していない。)

☐ 出願時の国際出願書類

☒ 明細書

第 1, 6-11 _____ ページ、出願時に提出されたもの

第 2, 3, 3/1, 4, 5 _____ ページ*, 27.01.2005 付けで国際予備審査機関が受理したもの

第 _____ ページ*, _____ 付けで国際予備審査機関が受理したもの

☒ 請求の範囲

第 2, 4, 6 _____ 項、出願時に提出されたもの

第 _____ 項*, PCT19条の規定に基づき補正されたもの

第 1, 3 _____ 項*, 27.01.2005 付けで国際予備審査機関が受理したもの

第 _____ 項*, _____ 付けで国際予備審査機関が受理したもの

☒ 図面

第 1-5 _____ ページ/図、出願時に提出されたもの

第 _____ ページ/図*, _____ 付けで国際予備審査機関が受理したもの

第 _____ ページ/図*, _____ 付けで国際予備審査機関が受理したもの

☐ 配列表又は関連するテーブル

配列表に関する補充欄を参照すること。

3. ☒ 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ

☒ 請求の範囲 第 5 _____ 項

☐ 図面 第 _____ ページ/図

☐ 配列表(具体的に記載すること) _____

☐ 配列表に関連するテーブル(具体的に記載すること) _____

4. ☐ この報告は、補充欄に示したように、この報告に添付されかつ以下に示した補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c))

☐ 明細書 第 _____ ページ

☐ 請求の範囲 第 _____ 項

☐ 図面 第 _____ ページ/図

☐ 配列表(具体的に記載すること) _____

☐ 配列表に関連するテーブル(具体的に記載すること) _____

* 4. に該当する場合、その用紙に“superseded”と記入されることがある。

第V欄 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	1-4, 6	有
	請求の範囲		無
進歩性(IS)	請求の範囲	1-4, 6	有
	請求の範囲		無
産業上の利用可能性(IA)	請求の範囲	1-4, 6	有
	請求の範囲		無

2. 文献及び説明(PCT規則70.7)

- 文献1: JP 2002-149150 A (松下電器産業株式会社) 2002.05.24
【0036】 - 【0040】, 【0045】 - 【0055】, 【図2】, 【図3】, 【図5】
文献2: JP 2002-366128 A (株式会社デンソー) 2002.12.20
【0019】
文献3: JP 11-352946 A (松下電器産業株式会社) 1999.12.24
【0015】, 【0016】, 【図1】
& US 6335764 B1 第3欄第55行 - 第4欄第26行, Fig. 1

請求の範囲1-4, 6に係る発明は、特に、「上記シリアルに順次入力される映像データと、上記データ記憶部に記憶された α 合成処理済みの映像データとに対し垂直フィルタ処理を行う」点が、国際調査報告に引用されたいずれの文献にも記載されておらず、当業者にとって自明なものでもない。

α 合成回路が組み込まれている。

以上のように構成された映像合成回路についてその動作を、第5図を参照しつつ説明する。

5 主映像、副映像、OSDデータはそれぞれ、外部記憶部301よりシリアルに順次出力される。

主映像1転送期間503において、外部記憶部301から転送制御部302を
通って内部記憶部303に主映像データ508が転送され、内部記憶回路303
にて主映像1(511)として蓄積される。続いて、主映像2転送期間504に
10 おいて、外部記憶部301から転送制御部302を通って内部記憶部303にさらなる主映像データ508が転送され、さらに、主映像出力部306に転送されて処理され、内部記憶回路303には主映像フィルタ後のデータ512として蓄積される。

次いで、副映像転送期間505において、外部記憶部301から転送制御部302を
通って内部記憶部303に副映像データ509が転送され、さらに、副映
15 像出力部305に転送されて処理され、内部記憶回路303には映像処理された主映像と副映像データ513が蓄積された状態となる。

次いでOSD転送期間506において、外部記憶部301から転送制御部302
を
通って内部記憶部303にOSD表示データ510が転送され、さらに、OSD出力部304に転送され処理され、さらに後段の映像出力部307において、
20 OSD出力部304で処理されたOSD表示データと、先に映像処理された主映像と副映像データ513とが合成され、最終の出力データ514が得られる。

上記回路における動作は、最終的に水平同期信号501を基準とした画面の表示速度である表示期間502に合わせて処理が行なわれている。

特許文献1 特開平11-352946号公報(第17頁、第1図)

25

発明の開示

このような従来の映像合成回路では、上記OSD出力部304、副映像出力部305、および主映像出力部306からの、3つの出力を α 合成する複雑な映像出力部307が必要であり、かつ内部記憶部303上に、該OSD表示データ、

副映像、主映像の各レイヤーのデータを配置するため、内部記憶部のサイズが増大することとなるという問題があった。また、主映像出力部306と副映像出力部305にDDA（デジタル微分解析）回路がともに設けられており、このため装置全体のサイズが増大するという問題があった。さらに、OSD出力部、副映像出力部、主映像出力部は、専用に作り込まれており、これらの回路部は、その機能の変更を行うのが困難であるという問題点があった。

この発明は以上のような問題点を解消するためになされたもので、回路規模を縮小することのできる映像合成回路を提供することを目的とする。

上記課題を解決するために、本発明の請求の範囲第1項にかかる映像合成回路は、シリアルに順次入力される複数の映像データを受けて、所定の映像データに対して所定の映像処理を行い、複数の映像データを合成して出力する映像合成回路において、複数の映像データがシリアルに順次入力され、該入力された映像データに対して所定の映像処理を行なって出力する映像処理部と、上記映像処理部から出力された複数の映像データを合成して出力する映像データ合成部と、上記映像データ合成部より出力された映像データを蓄積するデータ記憶部と、を備え、上記映像データ合成部は、 α 合成処理機能を有する回路であり、上記映像処理部から出力された複数の映像データを合成する以外に、上記データ記憶部から読み出した映像データと、上記映像処理部より出力された映像データとを合成し、上記シリアルに順次入力される映像データと、上記データ記憶部に記憶された α 合成処理済みの映像データとに対し垂直フィルタ処理を行う、ことを特徴とするものである。

本発明の請求の範囲第2項にかかる映像合成回路は、請求の範囲第1項記載の映像合成回路において、上記映像処理部、データ記憶部、映像データ合成部は、同一のチップにて構成されている、ことを特徴とするものである。

25 本発明の請求の範囲第3項にかかる映像合成回路は、請求の範囲第1項記載の映像合成回路において、上記シリアルに順次入力される複数の映像データが、主映像と副映像、及び、これら映像と同時に表示する付加情報であるOSD映像である、ことを特徴とするものである。

本発明の請求の範囲第4項にかかる映像合成回路は、請求の範囲第3項記載の

3/1

映像合成回路において、上記シリアルに順次入力される複数の映像データを記憶する外部記憶部を上記チップ外に有し、上記映像データ合成部は、上記外部記憶

部から出力される映像データと、前記チップ内のデータ記憶部に記憶された、上記 α 合成処理済みの映像データを読み出して再度 α 合成処理を行なう、ことを特徴とするものである。

5 本発明の請求の範囲第6項にかかる映像合成回路は、請求の範囲第1項記載の映像合成回路において、上記映像データ合成部は、次に上記データ記憶部から読み出した映像データと、上記映像処理部より出力された映像データとを合成した結果の映像データを、先に上記データ記憶部に蓄積されていた映像データに上書きする、ことを特徴とするものである。

10 以上のように、この発明の請求の範囲第1項にかかる映像合成回路によれば、シリアルに順次入力される複数の映像データを受けて、所定の映像データに対して所定の映像処理を行い、複数の映像データを合成して出力する映像合成回路において、複数の映像データがシリアルに順次入力され、該入力された映像データに対して所定の映像処理を行なって出力する映像処理部と、上記映像処理部から出力された複数の映像データを合成して出力する映像データ合成部と、上記映像データ合成部より出力された映像データを蓄積するデータ記憶部と、を備え、上記映像データ合成部は、 α 合成処理機能を有する回路であり、上記映像処理部から出力された複数の映像データを合成する以外に、上記データ記憶部から読み出した映像データと、上記映像処理部より出力された映像データとを合成し、上記シリアルに順次入力される映像データと、上記データ記憶部に記憶された α 合成
15 処理済みの映像データとに対し垂直フィルタ処理を行うものとしたので、映像処理部と映像データ合成部とデータ記憶部とを1つの回路とすることで、回路規模を削減する効果が得られる。

また、本発明の請求の範囲第2項にかかる映像合成回路によれば、請求の範囲第1項記載の映像合成回路において、上記映像処理部、データ記憶部、映像データ合成部は、同一のチップにて構成されているものとしたので、回路規模を削減
25 することができる効果が得られる。

また、本発明の請求の範囲第3項にかかる映像合成回路によれば、請求の範囲第1項記載の映像合成回路において、上記シリアルに順次入力される複数の映像データが、主映像と副映像、及び、これら映像と同時に表示する付加情報であるOSD映像であるものとしたので、OSD表示機能と、副映像表示機能と、主映像表示機能と、 α 合成機能と、を併せ持つ α 合成回路を1つにすることができるため、回路規模を削減できる効果が得られる。また、OSD出力部、副映像出力部、主映像出力部を、一つにして持たすことにより、今まで副映像では実現できなかったが、OSDでは実現できなかった機能を、OSDでも使うことができる効果が得られる。

10 また、本発明の請求の範囲第4項にかかる映像合成回路によれば、請求の範囲第3項記載の映像合成回路において、上記シリアルに順次入力される複数の映像データを記憶する外部記憶部を上記チップ外に有し、上記映像データ合成部は、上記外部記憶部から出力される映像データと、前記チップ内のデータ記憶部に記憶された、上記 α 合成処理済みの映像データを読み出して再度 α 合成処理を行なうものとしたので、内部記憶部を上書きして使うため、内部記憶部の使用量を削減することができる効果が得られる。

20 また、本発明の請求の範囲第6項にかかる映像合成回路によれば、請求の範囲第1項記載の映像合成回路において、上記映像データ合成部は、次に上記データ記憶部から読み出した映像データと、上記映像処理部より出力された映像データとを合成した結果の映像データを、先に上記データ記憶部に蓄積されていた映像データに上書きするようにしたので、内部記憶部を上書きして使うため、内部記憶部の使用量を削減することができる効果が得られる。

請 求 の 範 囲

1. (補正後) シリアルに順次入力される複数の映像データを受けて、所定の映像データに対して所定の映像処理を行い、複数の映像データを合成して出力する

5 映像合成回路において、

複数の映像データがシリアルに順次入力され、該入力された映像データに対して所定の映像処理を行なって出力する映像処理部と、

上記映像処理部から出力された複数の映像データを合成して出力する映像データ合成部と、

10 上記映像データ合成部より出力された映像データを蓄積するデータ記憶部と、
を備え、

上記映像データ合成部は、 α 合成処理機能を有する回路であり、上記映像処理部から出力された複数の映像データを合成する以外に、上記データ記憶部から読み出した映像データと、上記映像処理部より出力された映像データとを合成し、

15 上記シリアルに順次入力される映像データと、上記データ記憶部に記憶された α 合成処理済みの映像データとに対し垂直フィルタ処理を行う、

ことを特徴とする映像合成回路。

2. 請求の範囲第1項記載の映像合成回路において、

上記映像処理部、データ記憶部、映像データ合成部は、同一のチップにて構成
20 されている、

ことを特徴とする映像合成回路。

3. (補正後) 請求の範囲第1項記載の映像合成回路において、

上記シリアルに順次入力される複数の映像データが、主映像と副映像、及び、これら映像と同時に表示する付加情報であるOSD映像である、

25 ことを特徴とする映像合成回路。

4. 請求の範囲第3項記載の映像合成回路において、

上記シリアルに順次入力される複数の映像データを記憶する外部記憶部を上記チップ外に有し、

上記映像データ合成部は、上記外部記憶部から出力される映像データと、前記

チップ内のデータ記憶部に記憶された、上記 α 合成処理済みの映像データを読み

出して再度 α 合成処理を行なう、

ことを特徴とする映像合成回路。

5. (削除)

6. 請求の範囲第 1 項記載の映像合成回路において、

5 上記映像データ合成部は、

次に上記データ記憶部から読み出した映像データと、上記映像処理部より出力された映像データとを合成した結果の映像データを、先に上記データ記憶部に蓄積されていた映像データに上書きする、

ことを特徴とする映像合成回路。